



MECHATROLINK-I/II 通信ASIC JL-098 ハードウェアマニュアル



MECHATROLINK協会

本書の内容の一部または全部を、MECHATROLINK 協会の文書による許可なしに、転載または複製することは、固くお断りします。

目次

1. 機能概要	5
1.1 名称・型式・メーカー	5
1.2 特徴	5
1.2.1 高速通信	5
1.2.2 ワンチップ通信ASIC	5
1.2.3 強力なホストインタフェース機能	5
1.3 端子説明	6
1.3.1 ピン番号順端子表	6
1.3.2 端子機能	10
2. 機能ブロック説明	14
2.1 クロック逡倍／分周回路	14
2.2 ホストインタフェース	16
2.2.1 16ビットCPUとの接続について	16
2.2.2 8ビットCPUとの接続について	17
2.3 エラー制御	18
2.4 割り込み制御	18
2.4.1 INT1出力	18
2.4.2 RTCIL入力	18
3. DC特性	19
3.1 絶対最大定格	19
3.2 推奨動作条件	19
3.3 電气的特性	20
4. AC特性	21
4.1 クロック入力	21
4.2 リセット入力	21
4.3 ホストIF	22
4.3.1 ALE端子不使用モード (ALEEN = “H”)	22
4.3.2 ALE端子使用モード (ALEEN = “L”)	24
4.4 割り込み入出力	26
4.5 受信データ間隔	26

5. パッケージ寸法	27
改版履歴	28

1. 機能概要

1.1 名称・型式・メーカー

JL-098B : TC220C620EFG-104 (東芝)

1.2 特徴

本 ASIC は MECHATROLINK-II マスタ用 IC です。

1.2.1 高速通信

用途に応じて 4M 又は 10Mbps での電気通信が可能です。

1.2.2 ワンチップ通信 ASIC

通信に必要なプロトコル実行, シリアル I/O 機能, DPLL 機能, ENCODE 機能, DECODE 機能をワンチップに内蔵しました。

1.2.3 強力なホストインタフェース機能

JL-098 を通信プロセッサとして使用する場合, 外部プロセッサから JL-098 の内部共有メモリ(8k バイト)にリード/ライトするだけで通信が可能です。面倒なプロトコル処理はすべて, JL-098 で実行します。

1.3 端子説明

1.3.1 ピン番号順端子表

表1 - 1 ピン番号順端子表 (1/4)

ピン番号	端子名	Cell type	属性	容量 (typ)	リセット時	ホストモード
1	VDD					+3.3V
2	VAA					内蔵通倍回路のアナログ電源 (3.3V)
3	RO					内蔵通倍回路のVCO 中心周波数設定抵抗の接続端子
4	LP					内蔵通倍回路のループキャパシタ接続端子
5	AGS					内蔵通倍回路のアナログセンス入力
6	AGD					内蔵通倍回路のアナロググランド
7	VSS					GND
8	CLK	CMOS	I	8.4pF		クロック入力
9	VDD					+3.3V
10	WDO	CMOS	O		L	ウォッチドッグタイムアウト出力
11	VSS					GND
12	XI	CMOS	I	8.4pF		発振子入力
13	XO	CMOS	O			発振子出力
14	VDD					+3.3V
15	CMOD1	CMOS, SMT	I	8.4pF		H 固定
16	INT2	CMOS	O		H	不使用
17	RSTIL	CMOS, SMT,	I	8.4pF		リセット
18	VDD					+3.3V
19	VSS					GND
20	BWDT	CMOS, SMT	I	8.4pF		ホストデータバス幅(8/16)
21	CSL	CMOS, PU	I	8.4pF		ホスト側チップセレクト
22	RDYL	CMOS	O		H	ホストへのアクセスレディ
23	ALE	CMOS, PU	I	8.4pF		アドレスラッチイネーブル
24	VDD					+3.3V
25	WRL	CMOS, PU	I	8.4pF		ホスト側ライト
26	RDL	CMOS, PU	I	8.4pF		ホスト側リード
27	CA00	CMOS, PU	I	8.4pF		ホスト側アドレス[00-01]
28	CA01					
29	VSS					GND
30	CA02	CMOS, PU	I	8.4pF		ホスト側アドレス[02-03]
31	CA03					
32	CA04	CMOS, PU	I	8.4pF		ホスト側アドレス[04]
33	NC					空き端子
34	CA05	CMOS, PU	I	8.4pF		ホスト側アドレス[05-07]
35	CA06					
36	CA07					

表1 - 1 ピン番号順端子表 (2/4)

ピン番号	端子名	Cell type	属性	容量	リセット時	ホストモード
37	CA08	CMOS, PU	I	8.4pF		ホスト側アドレス[08-13]
38	CA09					
39	CA10					
40	CA11					
41	CA12					
42	CA13					
43	NC					空き端子
44	VSS					GND
45	CA14	CMOS, PU	I	8.4pF		ホスト側アドレス[14-15]
46	CA15					
47	VDD					+3.3V
48	CA16	CMOS, PU	I	8.4pF		ホスト側アドレス[16-17]
49	CA17					
50	CD00	CMOS, PU	I/O	8.4pF	不定	ホスト側データ[00]
51	NC					空き端子
52	CD01	CMOS, PU	I/O	8.4pF	不定	ホスト側データ[01-02]
53	CD02					
54	VDD					+3.3V
55	VSS					GND
56	VSS					GND
57	CD03	CMOS, PU	I/O	8.4pF	不定	ホスト側データ[03-05]
58	CD04					
59	CD05					
60	VDD					+3.3V
61	CD06	CMOS, PU	I/O	8.4pF	不定	ホスト側データ[06-08]
62	CD07					
63	CD08					
64	VSS					GND
65	VSS					GND
66	CD09	CMOS, PU	I/O	8.4pF	不定	ホスト側データ[09-11]
67	CD10					
68	CD11					
69	VDD					+3.3V
70	CD12	CMOS, PU	I/O	8.4pF	不定	ホスト側データ[12-15]
71	CD13					
72	CD14					
73	CD15					
74	INT1	CMOS	O		H	割込出力 1(タイマ設定)

表1 - 1 ピン番号順端子表 (3/4)

ピン番号	端子名	Cell type	属性	容量	リセット時	ホストモード
75	RAA00	CMOS	O		L	不使用
76	RAA01					
77	RAA02					
78	RAA03					
79	VSS					GND
80	RAA04	CMOS	O		L	不使用
81	RAA05					
82	RAA06					
83	VDD					+3.3V
84	RAA07	CMOS	O		L	不使用
85	RAA08					
86	RAA09					
87	CODSEL	CMOS, SMT	I	8.4pF		不使用
88	RAA10	CMOS	O		L	不使用
89	RAA11					
90	VDD					+3.3V
91	VSS					GND
92	ALEEN	CMOS, SMT	I	8.4pF		ALE 選択(使用/不使用)
93	RAA12	CMOS	O		L	不使用
94	RAA13	CMOS	O		L	不使用
95	RAA14	CMOS	O		L	不使用
96	VDD					+3.3V
97	RAA15	CMOS	O		L	不使用
98	RAWRL	CMOS	O		H	不使用
99	RARDL	CMOS	O		H	不使用
100	RACSL	CMOS	O		H	不使用
101	VSS					GND
102	RAD00	CMOS, PU	I/O	8.4pF	不定	不使用
103	RAD01					
104	RAD02					
105	VDD					+3.3V
106	RAD03	CMOS, PU	I/O	8.4bpF	不定	不使用
107	RAD04					
108	RAD05					
109	VSS					GND
110	RAD06	CMOS, PU	I/O	8.4pF	不定	不使用
111	RAD07					
112	RAD08					
113	RAD09					
114	RAD10					

表1 - 1 ピン番号順端子表 (4/4)

ピン番号	端子名	Cell type	属性	容量	リセット時	ホストモード
115	WVREN	CMOS, SMT	I	8.4pF		送信完了遅延機能
116	VSS					GND
117	VSS					GND
118	RAD11	CMOS, PU	I/O	8.4pF	不定	不使用
119	VDD					+3.3V
120	RAD12	CMOS, PU	I/O	8.4pF	不定	不使用
121	RAD13					
122	RAD14					
123	SRSEL	CMOS, SMT	I	8.4pF		High 固定
124	RAD15	CMOS, PU	I/O	8.4pF	不定	不使用
125	TXDO	CMOS	O		L	送信データ
126	VDD					+3.3V
127	VSS					GND
128	RPTEN	CMOS, SMT	I	8.4pF		クロック監視イネーブル
129	SRXDI	CMOS	I	8.4pF		受信データ(スケルチ)
130	ZRXDI	CMOS	I	8.4pF		受信データ(ゼロクロス)
131	TXENH	CMOS	O		L	送信イネーブル
132	VDD					+3.3V
133	MODSEL	CMOS, SMT	I	8.4pF		H 固定
134	RTCIL	CMOS, SMT	I	8.4pF		割込入力
135	PRGSEL	CMOS, SMT	I	8.4pF		H 固定
136	VSS					GND
137	CODSEL 0	CMOS, SMT	I	8.4pF		不使用
138	SKIPIN	CMOS, SMT	I	8.4pF		スキップ入力 (不使用)
139	SKIPOU T	CMOS	O		H	スキップ出力
140	ERRIL	CMOS	O		H	エラー出力
141	TSTI0	CMOS, SMT	I	8.4pF		チップテスト入力 0-1 (不使用)
142	TSTI1					
143	CMOD0	CMOS, SMT	I	8.4pF		H 固定
144	INT0	CMOS	O		L	割込出力 0(不使用)

* SMT : シュミットトリガ

* PU : プルアップ

1.3.2 端子機能

<不使用端子の処理>

RACSL,RARDL,RAWRL,RAA0-RAA15,RAD0-RAD15 端子はオープン。

■ 端子機能（1 / 3）

端子名	ピン番号	属性	説明
CLK	8	I	クロック入力。 25MHz 供給。
XI	12	I	発振子 (25MHz) 接続
XO	13	O	発振子 (25MHz) 接続
VAA	2		内蔵通倍回路のアナログ電源 (3.3V)
RO	3		内蔵通倍回路の VCO 中心周波数設定抵抗の接続端子
LP	4		内蔵通倍回路のループキャパシタ接続端子
AGS	5		内蔵通倍回路のアナログセンス入力
AGD	6		内蔵通倍回路のアナロググランド
RSTIL	17	I	リセット入力。 “L”入力時、リセット。
TXENH	131	O	ラインドライバの送信イネーブルに接続。送信時、“H”
TXDO	125	O	符号変換された送信データ信号。ラインドライバに接続。
SRXDI	129	I	符号変換された受信データ(スケルチ)。ラインレシーバに接続。
ZRXDI	130	I	符号変換された受信データ(ゼロクロス) ラインレシーバに接続。
WVREN	115	I	送信完了遅延機能イネーブル入力。 ”L”:イネーブル, ”H”:ディセーブル
PRGSEL	135	I	不使用 (H固定)
MODSEL	133	I	不使用 (H固定)
SKIPIN	138	I	不使用 (H固定)
SKIPOUT	139	O	不使用。
WDO	10	O	ウォッチドッグタイムオーバ出力端子
TSTI0- TSTI1	141, 142	I	不使用 (H固定)
CMOD0- CMOD1	143,15	I	不使用 (H固定)。

■ 電源／グランド

端子名	ピン番号	説明
VDD	1,9,14,18,24,47,54,60,69,83, 90,96,105,119,126,132	+3.3V 電源
VSS	7,11,19,29,44,55,56,79,91, 101,109,116,117,127,136	グランド

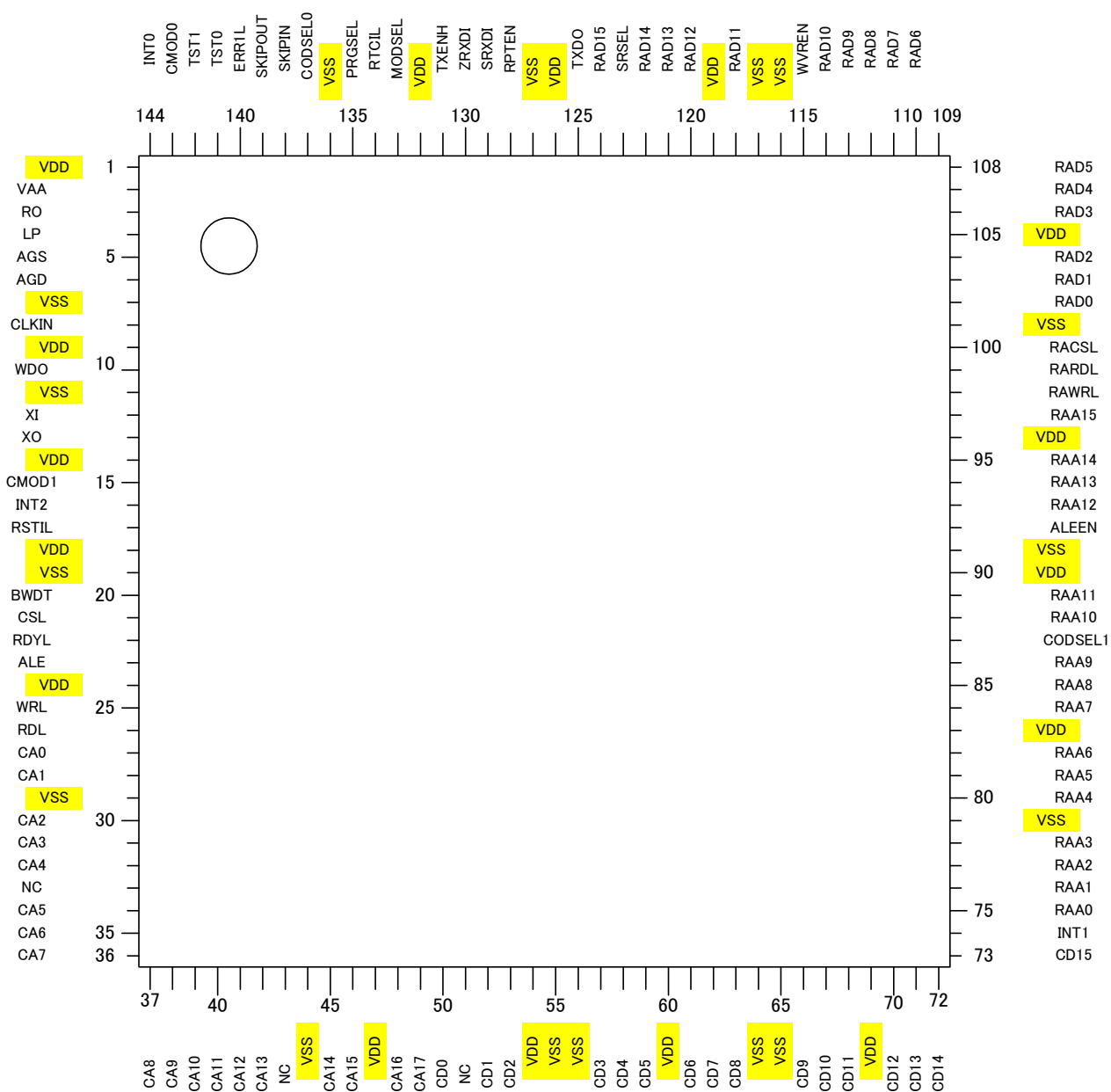
■ 端子機能 (2 / 3)

端子名	ピン番号	属性	説明
CSL	21	I	ホストCPU側チップセレクト信号に接続。選択時“L”入力。
RDL	26	I	ホストCPU側リード信号に接続。リード時“L”入力。
WRL	25	I	ホストCPU側ライト信号に接続。ライト時“L”入力。
CA00- CA17	27,28,30,31,32, 34,35,36,37,38, 39,40,41,42,45, 46,48,49	I	ホストCPU側アドレスバスに接続。
CD00- CD15	50,52,53,57,58, 59,61,62,63,66, 67,68,70,71,72, 73	I/O	ホストCPU側データバス[00-15]に接続。
RDYL	22	O	ホストCPUのレディ端子へ接続。レディ時“L”出力。
RACSL	100	O	不使用。オープン。
RARDL	99	O	不使用。オープン。
RAWRL	98	O	不使用。オープン。
RAA00- RAA15	75,76,77,78,80, 81,82,84,85,86, 88,89,93,94,95, 97	O	不使用。オープン。
RAD00- RAD15	102,103,104, 106,107,108, 110,111,112, 113,114,118, 120,121,122, 124	I/O	不使用。オープン。
SRSEL	123	I	不使用 (H固定)
BWDT	20	I	ホストデータ幅選択設定(8/16ビット幅) BWDT 説明 0 8ビット幅選択。 1 16ビット幅選択。
ALEEN	92	I	ALE (アドレスラッチイネーブル) 選択 (使用/不使用)。 ALEEN 説明 ALEイネーブル (使用) ALEディセーブル (不使用)
ALE	23	I	アドレスラッチイネーブル。“L”への立下がりエッジでラッチします。
RPTEN	128	I	クロック監視機能イネーブル
RTCIL	134	I	割込入力。“L”レベル入力により、INT1割込出力のカウンタTIM1の初期値をロードします。(主に同期の為に使用する)

■ 端子機能 (3 / 3)

端子名	ピン番号	属性	説明
CODSEL0- CODSEL1	137,87	I	不使用
INT0	144	O	不使用
INT1	74	O	割込出力1 割り込み発生時1 us 幅の“L”パルスを出力します。
INT2	16	O	不使用。
ERR1L	140	O	エラー出力信号。（主にLED出力用）エラー発生時のマイクロプログラムによる信号出力と、クロック監視回路の異常検出と、内蔵通信制御部ウォッチドッグタイマのタイムアップ信号とのOR出力。 正常時“H”、異常時“L”。

■ JL-098B <TOP VIEW／上から見た絵>



網掛けは電源／GND 端子

図 1-2 JL-098B 端子配置図

2. 機能ブロック説明

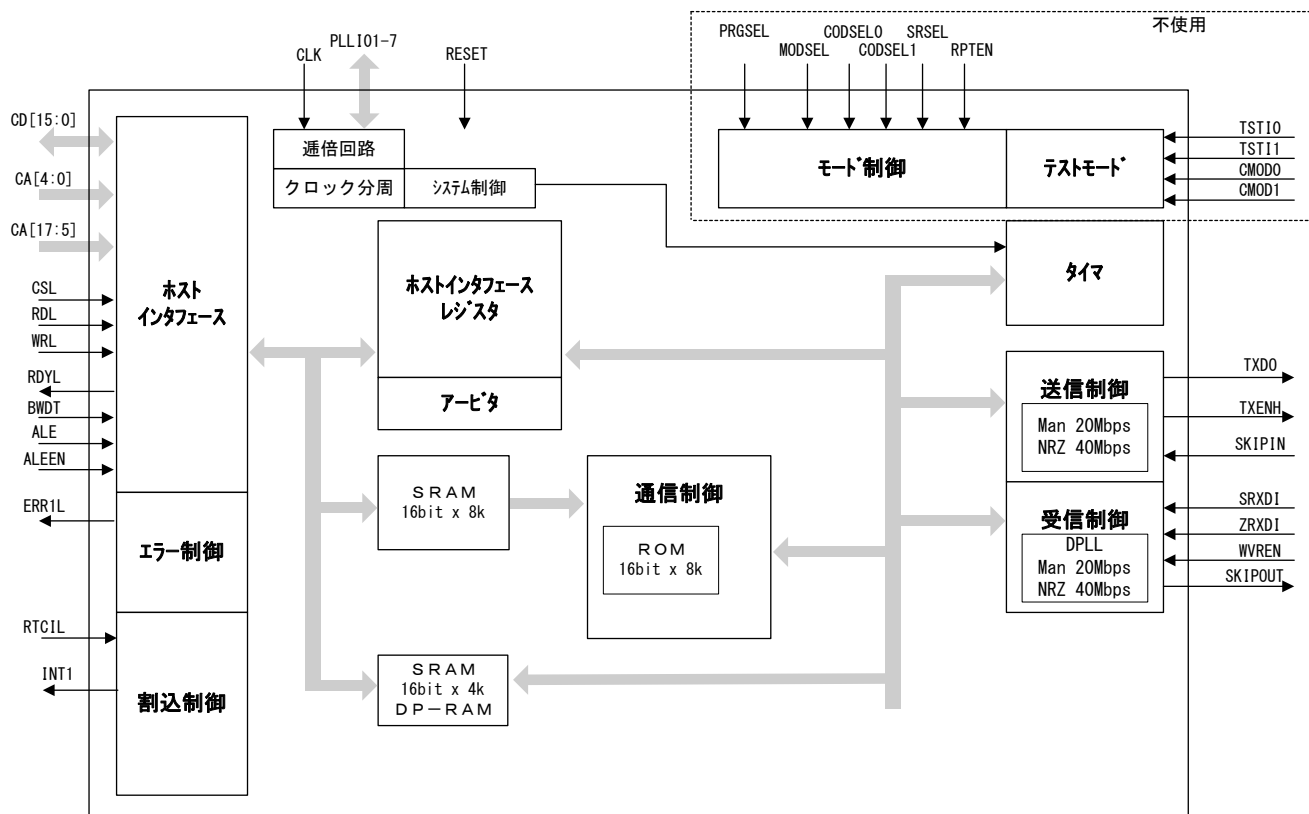


図 2-1 機能ブロック図

2.1 クロック逡倍／分周回路

クロック逡倍回路（アナログ PLL）は入力クロック 25MHz を 8 逡倍し 200MHz のクロックを生成する。この 200MHz クロックを分周回路により ASIC 回路内で使用するクロックに分周します。このときの外部端子の接続例を図 2-2 に示します。

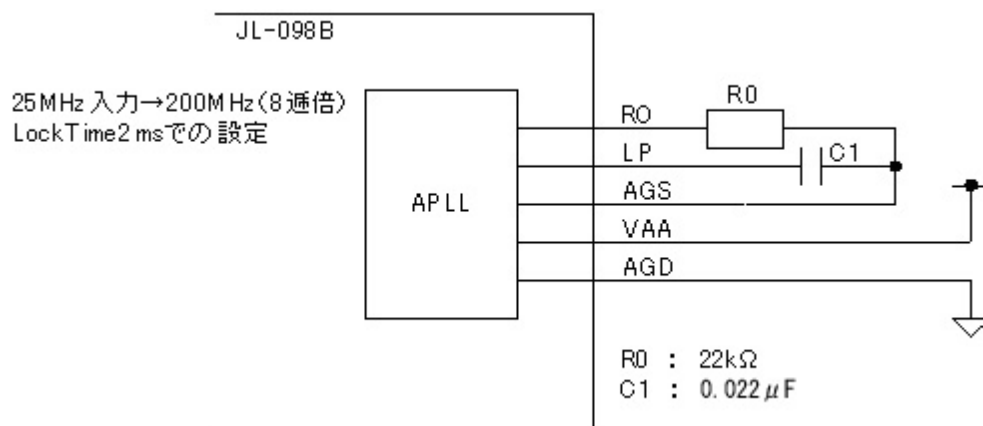
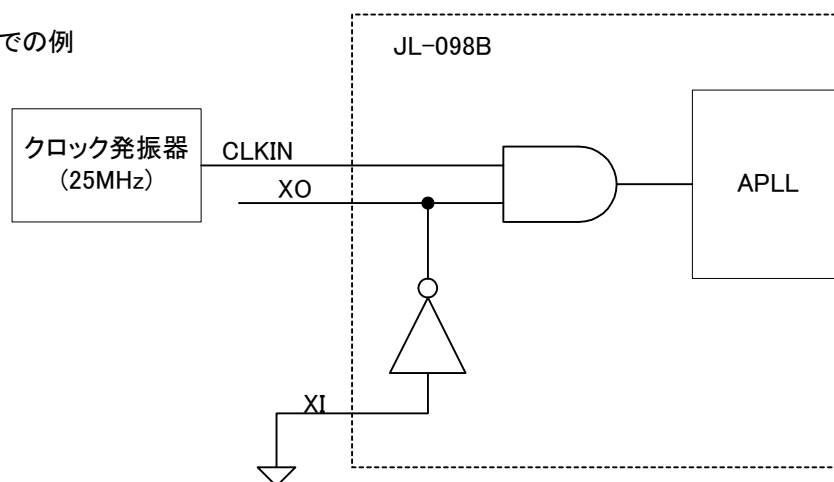


図 2-2 PLL 外部端子接続

外部からのクロック入力は 25MHz で、図 2-3 に示すように、クロック IC を使用するときには CLKIN 端子 (XI=Low、XO=オープン)、発振器を使用するときには XI、XO 端子 (CLKIN=High) を使用します。

(a) 発振器での例



(b) 発振器 (FA-365セイコーエプソン製) での例

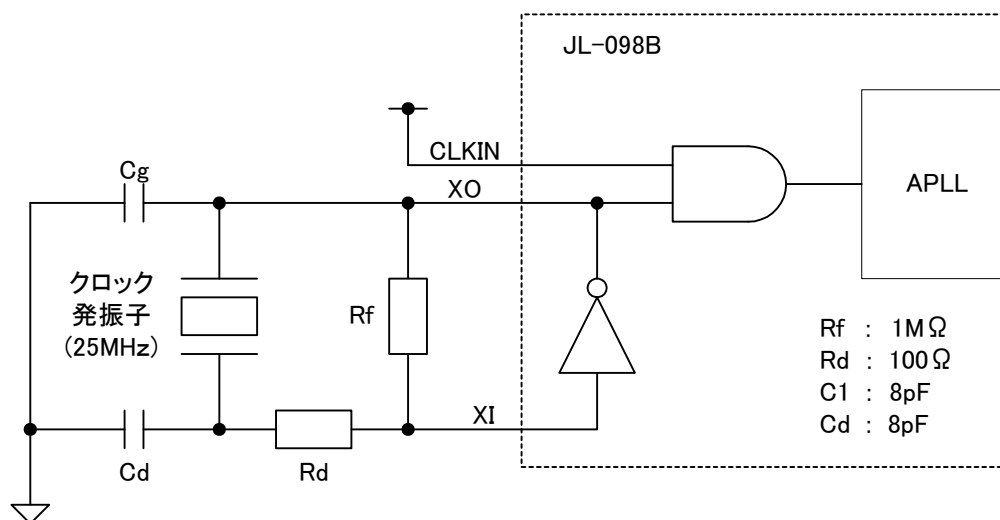


図 2-3 クロック端子の接続

2.2 ホストインタフェース

ホスト CPU のデータバス、アドレスバス、バス制御信号と JL-098B 内部のインタフェースを行います。CPU に合わせてデータバス幅、アドレスラッチ使用／不使用を設定できます。ただし設定は電源 OFF 時に行ってください。

2.2.1 16ビットCPUとの接続について

BWDT 端子を“H”にします。

■ アドレス／データバス分離タイプの CPU に接続する場合 (図 2-4(a))

アドレス／データバス分離タイプの CPU に接続する場合は、ALEEN 端子を“H”にして、CPU のアドレスバスを CA[01-17]へ、CPU のデータバスを CD[00-15]へそれぞれ接続します。16ビットバス使用時はアドレス入力0ビット (CA0) は使用しません (オープン)。

アクセスタイミングの詳細については「4.AC 特性 4.3 ホスト IF」を参照下さい。

■ アドレス／データバスのマルチプレクスタイプの CPU に接続する場合 (図 2-4(b))

アドレス／データバスのマルチプレクスタイプの CPU に接続する場合は、ALEEN 端子を“L”にして、ALE 端子に CPU からのアドレスラッチイネーブル信号を接続します。

アクセスタイミングの詳細については「4.AC 特性 4.3 ホスト IF」を参照下さい。

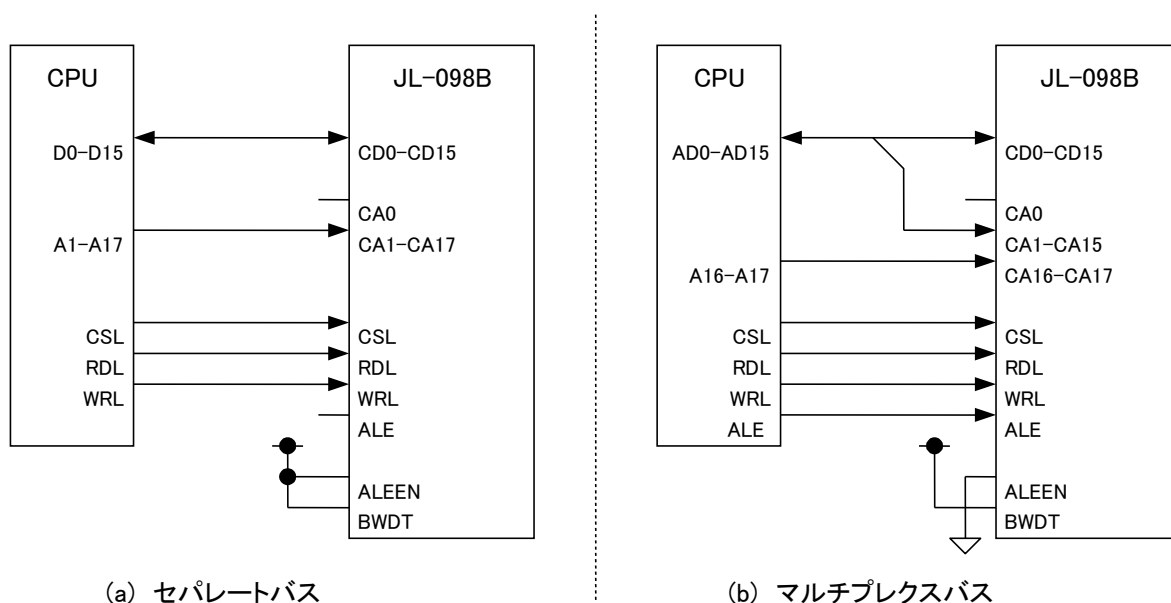


図 2-4 16ビット CPU 接続例

2.2.2 8ビットCPUとの接続について

BWDT端子を“L”にしてください。

■ アドレス／データバス分離タイプの CPU に接続する場合 (図 2-5(a))

アドレス／データバス分離タイプの CPU に接続する場合は、ALEEN 端子を“H”にして、CPU のアドレスバスを CA[00-17]へ、CPU のデータバスを CD[00-07]へそれぞれ接続します。8 ビットバス接続時はアドレス入力 0 ビット (CA0) が使用されます。使用しないデータバス上位バイト CD[15-08]はオープンのままとします。

アクセスタイミングの詳細については「4.AC 特性 4.3 ホスト IF」を参照下さい。

■ アドレス／データバスのマルチプレクスタイプの CPU に接続する場合 (図 2-5(b))

アドレス／データバスのマルチプレクスタイプの CPU に接続する場合は、ALEEN 端子を“L”にし、ALE 端子に CPU からのアドレスラッチイネーブル信号を接続します。

アクセスタイミングの詳細については「4.AC 特性 4.3 ホスト IF」を参照下さい。

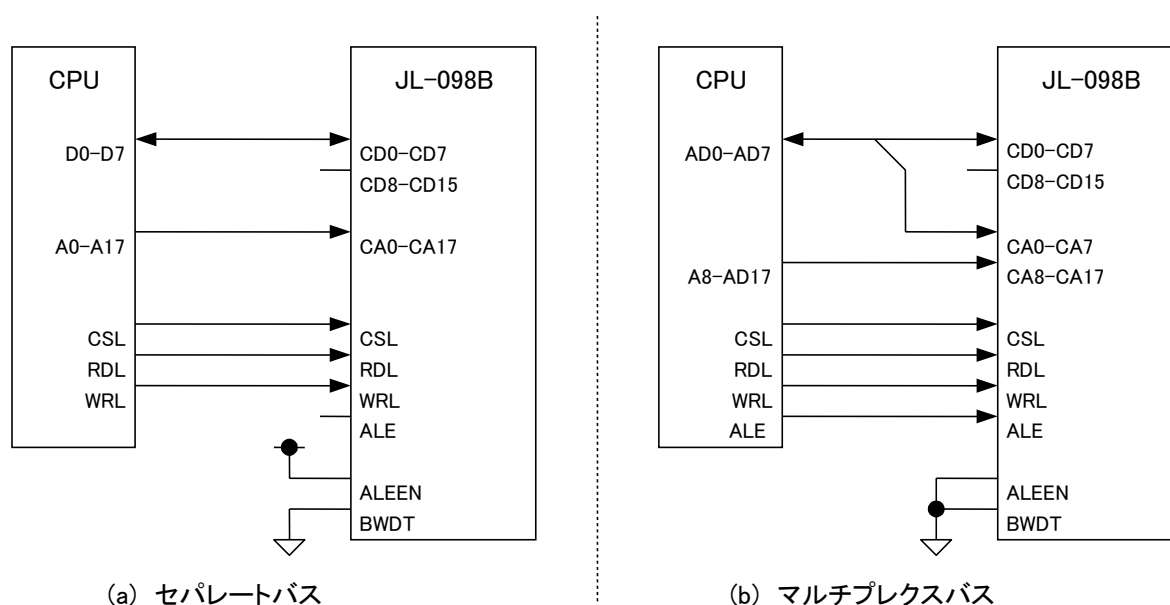


図 2-5 8ビットCPU 接続例

なお、ホスト CPU の仕様次第では RDYL 信号の変化点をホスト CPU のバスクロックに同期させる必要があるため、別途フリップフロップ回路でバスクロックとの同期後に CPU へ入力する必要があります。

2.3 エラー制御

本モジュールは入力クロック監視、ホスト CPU 監視、JL-098B 監視の結果を外部端子：ERR1L から出力し送信出力を停止します。

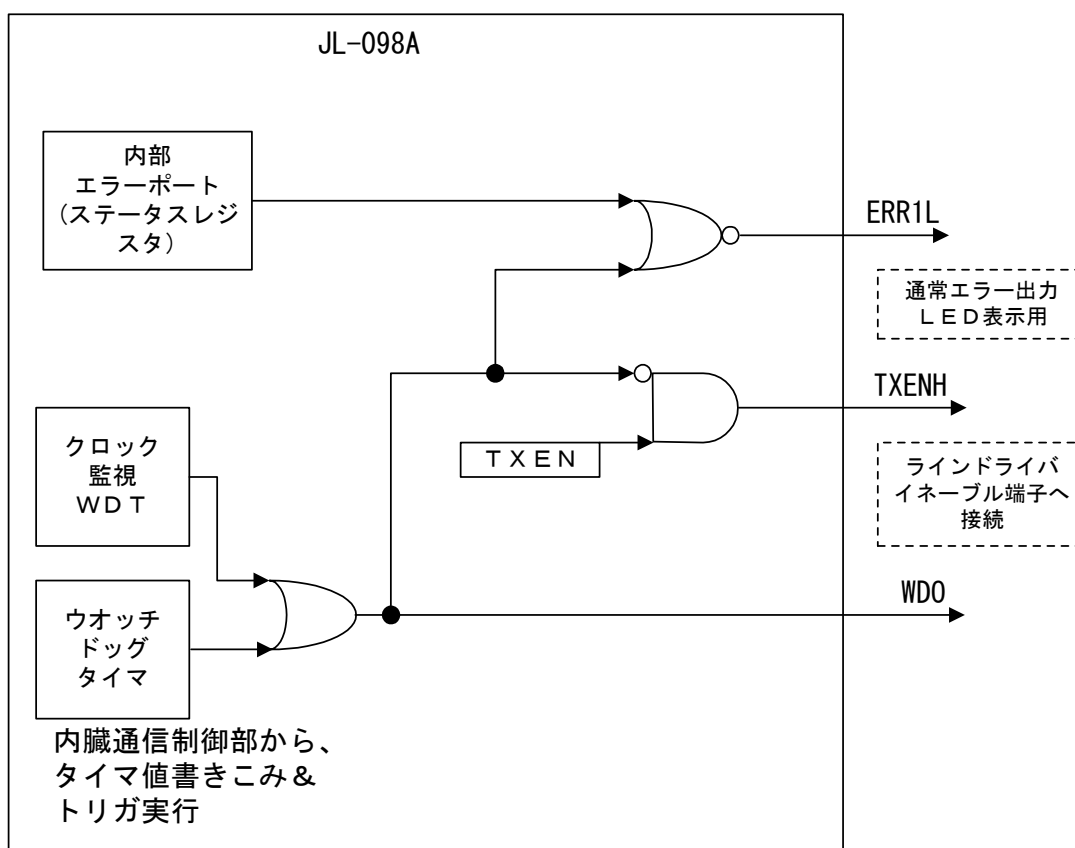


図 2-6 エラー制御ブロック図

2.4 割り込み制御

割り込信号は出力 1 本（INT1）、入力 1 本(RTCIL)があります。

2.4.1 INT1 出力

INT1 出力は伝送周期毎に出力されます。また、外部割り込み端子 RTCIL の立下りエッジで内部タイマをリセットし同期を取ることが可能です。

2.4.2 RTCIL 入力

通信同期をとる目的として RTCIL 入力があります。RTCIL 端子に 30ns 以上の“L”パルスが入力されると内部タイマへ設定値がリロードされ、INT1 が同期引き込みされます。RTCIL が入力されて INT1 に“L”パルスが出力されるまでのタイミングは default で $8\mu\text{s}$ になります。

3. DC 特性

3.1 絶対最大定格

(V_{SS}=0V)

項 目		記 号	定 格	単 位
電 源 電 圧		V _{DD}	-0.3~+5.0	V
入 力 電 圧	3V 入力バッファ	V _{IN}	-0.3~V _{DD} +0.3	V
	5V トレラント入力バッファ		-0.3~+7.0	
出 力 電 圧	3V 出力バッファ	V _{out}	-0.3~V _{DD} +0.3	V
入 力 電 流		I _{IN}	±10	mA
保 存 温 度		T _{stg}	-40~+125	°C

3.2 推奨動作条件

(V_{SS}=0V)

項 目	記号	規格値			単 位
		最小	標準	最大	
電 源 電 圧	V _{DD}	3.0* ¹	3.3	3.6	V
入 力 電 圧	3V 入力バッファ	V _{IN}	—	V _{DD}	V
	5V トレラント入力バッファ		—	5.5	
動作周囲温度	T _a	0	—	85	°C
ジャンクション温度* ²	T _j	-10	—	95	°C
水晶発振/クロック入力周波数	f XTAL	25.000±100ppm			MHz

*1. シミュレーションは最小電圧を 2.7V で実施。

*2. シミュレーションはジャンクション温度を-10~125°Cで実施。

3.3 電気的特性

入力バッファ DC 特性(VDD=3.3V±10% Ta=0~70°C)

記号	項目	バッファタイプ	条件	最小	標準	最大	単位
V _{IH}	高レベル入力電圧	LVTTL レベル		2.0	—	—	V
		LVTTL レベルシュミットトリガ		2.0	—	—	
		CMOS レベル		V _{DD} ×0.8	—	—	
		CMOS レベルシュミットトリガ		V _{DD} ×0.8	—	—	
V _{IL}	低レベル入力電圧	LVTTL レベル		—	—	0.8	V
		LVTTL レベルシュミットトリガ		—	—	0.8	
		CMOS レベル		—	—	V _{DD} ×0.2	
		CMOS レベルシュミットトリガ		—	—	V _{DD} ×0.2	
I _{IH}	高レベル入力電流		V _{IN} =V _{DD}	-10	—	10	u A
I _{IL}	低レベル入力電流	プルアップ無し	V _{IN} =V _{SS}	-10	—	10	u A
		プルアップつき		-200	—	-10	
I _{IOZ}	出力リーク電流		V _{out} =V _{DD} , V _{SS}	-10	—	10	u A
V _H	シュミットトリガ ヒステリシス電圧	LVTTL レベル		—	0.5	—	V
		CMOS レベル		—	0.5	—	
I _{CCA}	動作時電源電流			—	77	—	mA

出力バッファ DC 特性(VDD=3.3V±10% Ta=0~70°C)

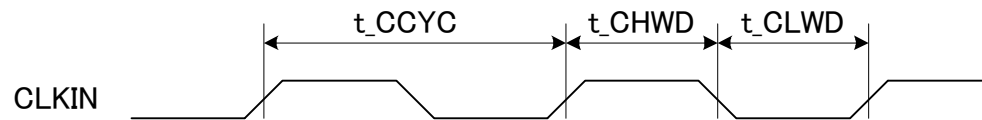
記号	項目	バッファタイプ	条件	最小	最大	単位
V _{OH}	高レベル出力電圧	B4, B4R	I _{OH} =-4mA	2.4	—	V
			I _{OH} =-1uA	V _{DD} -0.05	—	
V _{OL}	低レベル出力電圧	B4, B4R	I _{OL} =4mA	—	0.4	V
			I _{OL} =1uA	—	V _{SS} +0.05	

4. AC 特性

4.1 クロック入力

$T_a=0\sim 70^{\circ}\text{C}$ 、 $V_{dd}=3.3\text{V}\pm 10\%$ 、 $V_{ss}=0\text{V}$ 、 $CL=50\text{pF}$

記号	項目	Min.	Typ.	Max.	単位
t_{CCYC}	クロック周期	—	40	—	ns
	クロック周波数	25±100ppm			MHz
t_{CHWD}	クロック High パルス幅	1.5	20	—	ns
T_{CLWD}	クロック Low パルス幅	1.5	20	—	ns



4.2 リセット入力

$T_a=0\sim 70^{\circ}\text{C}$ 、 $V_{dd}=3.3\text{V}\pm 10\%$ 、 $V_{ss}=0\text{V}$ 、 $CL=50\text{pF}$

記号	項目	Min.	Typ.	Max.	単位
T_{rst}	リセット信号幅	10	—	—	ns



4.3 ホスト IF

4.3.1 ALE 端子不使用モード (ALEEN = “H”)

■ 共通

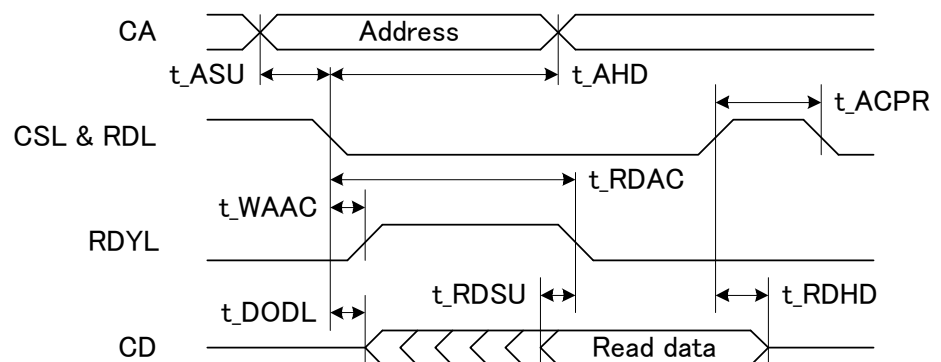
Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t_ASU	アドレスセットアップ時間	0	—	—	ns
t_AHD	アドレスホールド時間	45	—	—	ns
t_WAAC	ウエイト応答時間 (RDYL 初期化)	—	—	13	ns
t_ACPR	アクセス回復時間	12.5	—	—	ns

■ リード

Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t_RDAC	レディ応答時間	—	—	84	ns
t_DODL	出力イネーブル遅延時間	4.5	—	23	ns
t_RDSU	データセットアップ時間	0	—	—	ns
t_RDHD	データホールド時間	2	—	7	ns



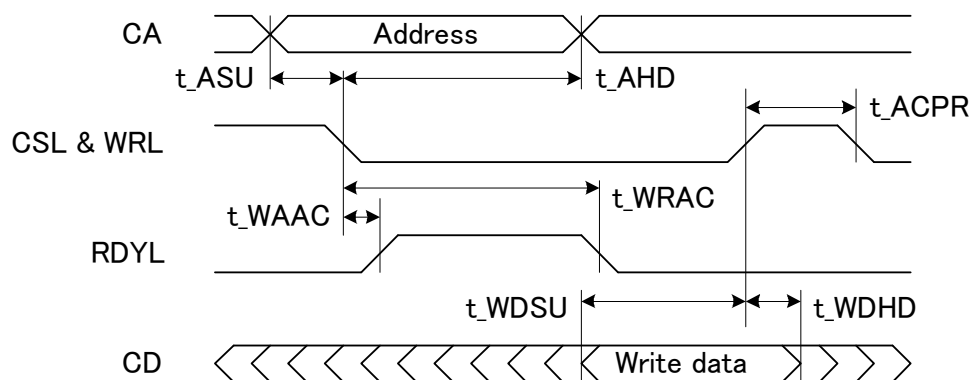
重要

RDYL が Low になる (t_{RDAC}) 以前に CSL="L"かつ RDL="L"の状態を終了させると誤リードを引き起こしますので、このようなタイミングでの入力を行わないで下さい。ホスト CPU の種類によっては、他領域への RDL が遅延し本 ASIC への CSL に重なる場合などに、短い期間の CSL="L"かつ RDL="L"の状態が発生することがありますので注意して下さい。

■ ライト

$T_a=0\sim 70^{\circ}\text{C}$ 、 $V_{dd}=3.3\text{V}\pm 10\%$ 、 $V_{ss}=0\text{V}$ 、 $C_L=50\text{pF}$

記号	項目	Min.	Typ.	Max.	単位
t_{WRAC}	レディ応答時間	—	—	72	ns
t_{WDSU}	データセットアップ時間	5	—	—	ns
t_{WDHD}	データホールド時間	0	—	—	ns



重要

RDYL が Low になる (t_{WRAC}) 以前に CSL="L"かつ WRL="L"の状態を終了させると、誤ライトを引き起こしますので、このようなタイミングでの入力を行わないで下さい。ホスト CPU の種類によっては、他領域への WRL が遅延し本 ASIC への CSL に重なる場合などに、短い期間の CSL="L"かつ WRL="L"の状態が発生することがありますので注意して下さい。

4.3.2 ALE 端子使用モード (ALEEN = "L")

■ 共通

Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t _{ALHD}	アドレスホールド時間	6	—	—	ns
t _{ALEWD}	ALE パルス幅	5	—	—	ns
t _{ALEPR}	ALE 回復時間	3	—	—	ns

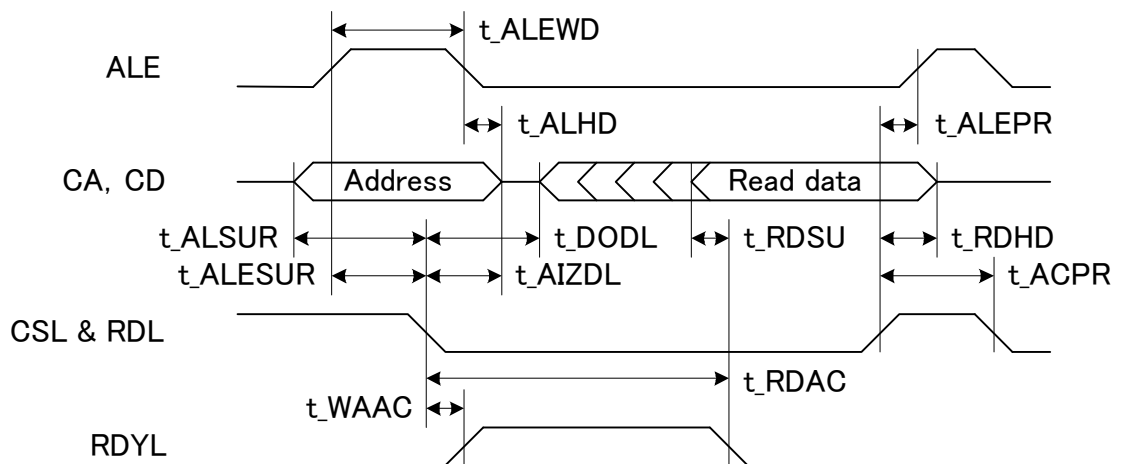
その他のパラメータは ALE 端子不使用モードと同じ。

■ リード

Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t _{ALSUR}	リード時アドレスセットアップ時間	6.5	—	—	ns
t _{ALESUR}	リード時 ALE セットアップ時間	6.5	—	—	ns
t _{AIZDL}	アドレス Hi-Z 変化時間	—	—	4.5	ns

その他のパラメータは ALE 端子不使用モードと同じ。



重要

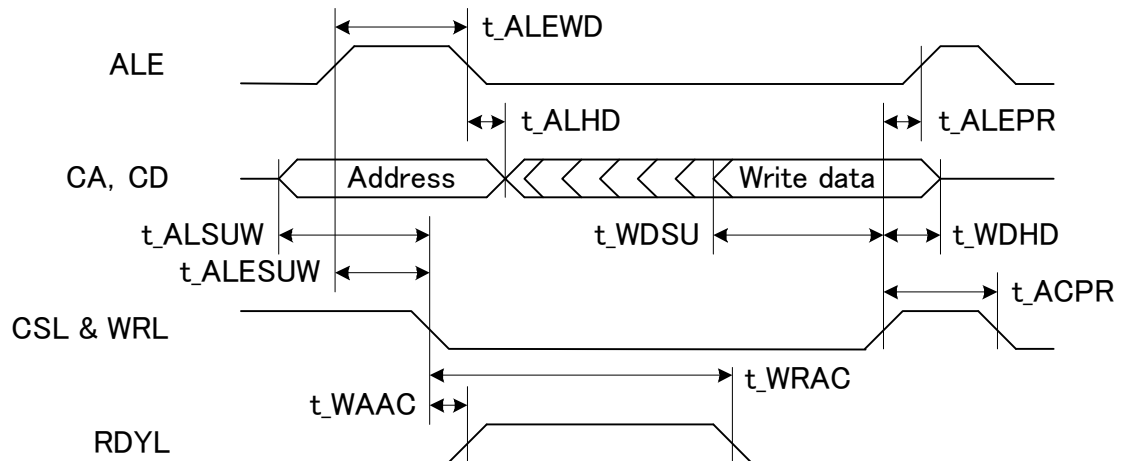
RDYL が Low になる (t_{RDAC}) 以前に CSL="L"かつ RDL="L"の状態を終了させると誤リードを引き起こしますので、このようなタイミングでの入力是不行なわないで下さい。ホスト CPU の種類によっては、他領域への RDL が遅延し本 ASIC への CSL に重なる場合などに、短い期間の CSL="L"かつ RDL="L"の状態が発生することがありますので注意して下さい。

■ ライト

Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t_ALSUW	ライト時アドレスセットアップ時間	0.5	—	—	ns
t_ALESUW	ライト時 ALE セットアップ時間	0.5	—	—	ns

その他のパラメータは ALE 端子不使用モードと同じ。



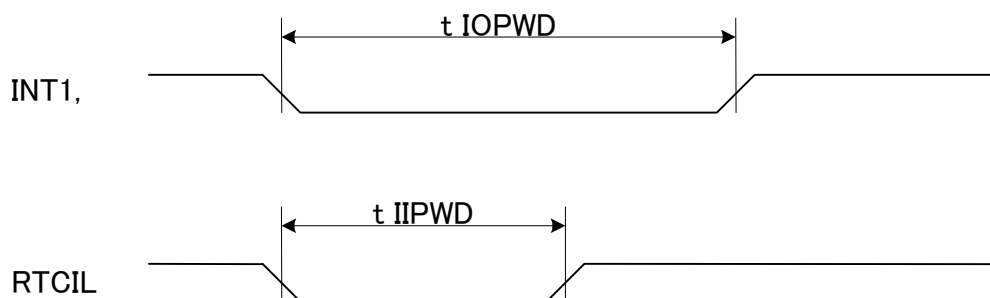
重要

RDYL が Low になる (t_{WRAC}) 以前に CSL="L"かつ WRL="L"の状態を終了させると、誤ライトを引き起こしますので、このようなタイミングでの入力を行わないで下さい。ホスト CPU の種類によっては、他領域への WRL が遅延し本 ASIC への CSL に重なる場合などに、短い期間の CSL="L"かつ WRL="L"の状態が発生することがありますので注意して下さい。

4.4 割り込み入出力

Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t_IOPWD	割り込み出力パルス幅	995	—	1006	ns
t_IIPWD	割り込み入力パルス幅	30	—	—	ns



4.5 受信データ間隔

Ta=0~70°C、Vdd=3.3V±10%、Vss=0V、CL=50pF

記号	項目	Min.	Typ.	Max.	単位
t_RDI	受信データ間隔	$T_1 * 0.015 + T_{\text{cof}}$	—	—	μs

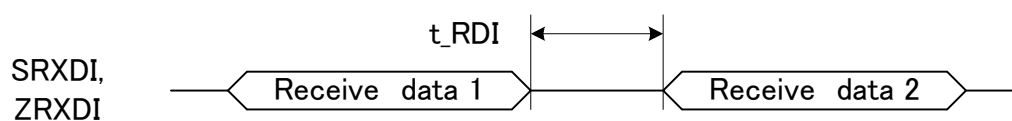
T₁: 伝送路最大距離 (m)

T_{cof}: キャリアオフ判断時間

伝送符号	伝送レート (Mbps)	T _{cof} (μs)
マンチェスタ符号	4	0.38
	10	0.16
	—	—

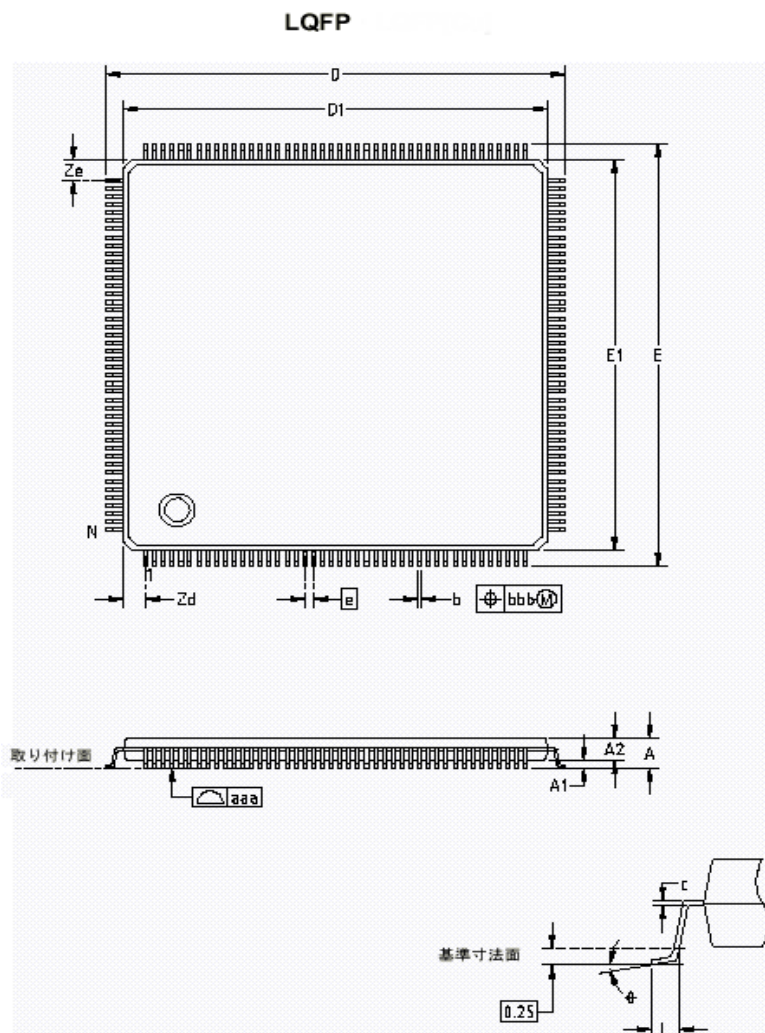


伝送最大距離 50m マンチェスタ符号 10Mbps の場合： t _{RDI} = 50*0.015+0.16 = 0.91 μs
--



5. パッケージ寸法

JL-098B (LQFP144-P-2020-0.50D)

144ピン LQFP[Pd]
(LQFP144-P-2020-0.50D)

単位 : mm

	最小	標準	最大
A	-	-	1.85
A1	0.00	0.10	0.25
A2	1.20	1.40	1.60
b	0.18	0.22	0.27
c	0.100	0.145	0.200
D	21.8	22.0	22.2
D1	19.8	20.0	20.2
E	21.8	22.0	22.2
E1	19.8	20.0	20.2
e	0.5 BSC		
L	0.3	-	0.7
Zd	1.25 TYP		
Ze	1.25 TYP		
θ	0°	-	10°
aaa	0.10		
bbb	0.10		
N	144		

改版履歴

資料の改版についての情報は、本資料の裏表紙の右下に資料番号と共に記載しています。

資料番号 MMA TDJP 013A <1>
改版番号

Published in Japan 2019 年 8 月
発行年月

発行年月	改版番号	項番号	変更点
2021 年 6 月	<3>	改版履歴	変更：誤記修正
2020 年 8 月	<2>	1. 2. 3	変更：誤記修正
		3. 3	追加：ICCA
		裏表紙	変更
2019 年 8 月	<1>	表紙, 裏表紙	変更
2007 年 8 月	—		初版発行

